

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021514  
(43)Date of publication of application : 29.01.1993

(51)Int. Cl.

H01L 21/60  
H01L 29/44

(21)Application number : 03-170888  
(22)Date of filing : 11.07.1991

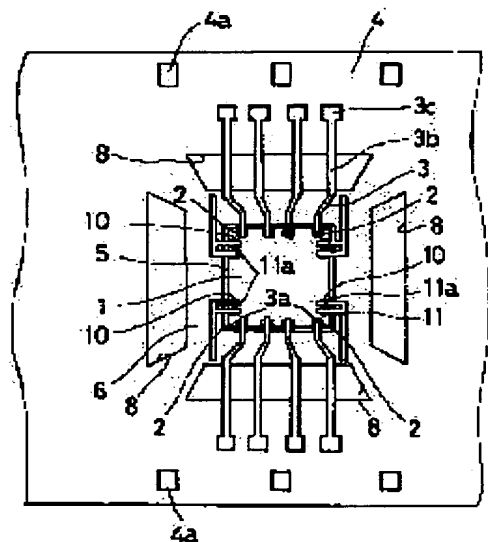
(71)Applicant : MITSUBISHI ELECTRIC CORP  
(72)Inventor : TERAOKA YASUHIRO  
UEDA TETSUYA  
SHIMAMOTO HARUO  
TACHIKAWA TORU

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To bond inner leads so that the hanging down sections of the inner leads do not fluctuate much without giving any damage to a semiconductor chip by an excessive pressure even when the numbers of projecting electrodes and the inner leads are small and, at the same time, to seal the semiconductor chip so that the chip cannot come out.

CONSTITUTION: Dummy projecting electrodes 10 which are not electrically connected with the internal circuit of a semiconductor chip 1 provided with projecting electrodes 2 are formed on the chip 1. Then dummy inner leads 11a which are not electrically connected with inner leads 3a are formed on a tape carrier 4 provided with the inner leads 3a. The dummy projecting electrodes 10 are simultaneously bonded to the dummy inner leads 11a when the projecting electrodes 2 are bonded to the inner leads 3a.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-21514

(43)公開日 平成5年(1993)1月29日

(51)Int.CL<sup>5</sup>

H 0 1 L 21/60

29/44

識別記号

3 1 1 R

Q 6918-4M

Z 7738-4M

庁内整理番号

6918-4M

6918-4M

7738-4M

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 7 頁)

(21)出願番号

特願平3-170888

(22)出願日

平成3年(1991)7月11日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 寺岡 康宏

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

(72)発明者 上田 哲也

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

(72)発明者 島本 晴夫

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

(74)代理人 弁理士 高田 守 (外1名)

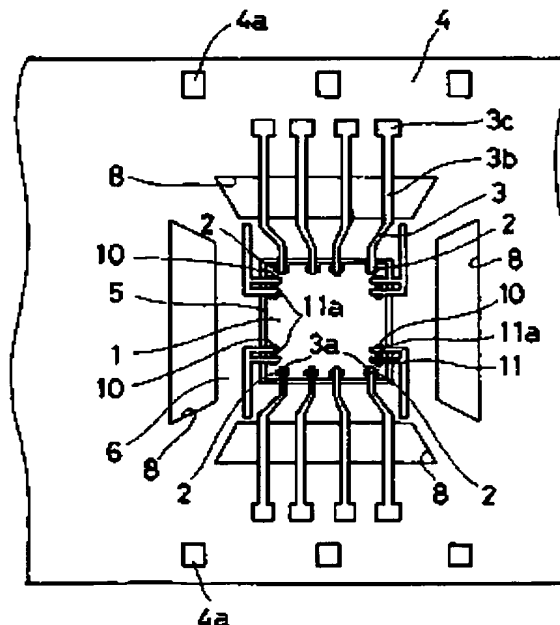
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 突起電極およびインナーリードが少ない場合でも、過大圧力によって半導体チップにダメージを与えることなく、インナーリードの垂れ壁のバラツキが少ないボンディングを可能とし、封止もチップを露出させない良好なものとする。

【構成】 突起電極2を有する半導体チップ1上にチップ内回路とは電気的接続状態をもたないダミー突起電極10を形成する。インナーリード3aを有するテープキャリア4上にインナーリード3aとは電気的接続状態をもたないダミーインナーリード11aを形成する。突起電極2とインナーリード3aとのボンディングと同時にダミー突起電極10とダミーインナーリード11aとをボンディングしてある。



## 【特許請求の範囲】

【請求項1】 半導体チップの突起電極とテープキャリア上のインナーリードとをボンディングし、アウターリードを突出させる状態で少なくとも半導体チップを封止樹脂で被覆してある半導体装置であって、前記半導体チップ上にこのチップ内の回路とは電気的接続状態をもたないダミー突起電極を形成する一方、前記テープキャリア上に前記インナーリードとは電気的接続状態をもたないダミーインナーリードを前記ダミー突起電極に対応させて形成し、このダミー突起電極とダミーインナーリードとを、通常の突起電極とインナーリードとのボンディングと同時にボンディングしてあることを特徴とする半導体装置。

【請求項2】 請求項1において、通常の突起電極およびインナーリードが半導体チップの対向2辺のみに存在し、残りの対向2辺にダミー突起電極とダミーインナーリードとを配置したことを特徴とする半導体装置。

【請求項3】 請求項1または請求項2において、ダミー突起電極およびダミーインナーリードを半導体チップの角隅部に配置したことを特徴とする半導体装置。

【請求項4】 請求項3において、ダミー突起電極およびダミーインナーリードを半導体チップの角端から1辺長さの6分の1の長さ範囲に配置したことを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、TAB (Tape Automated Bonding: テープキャリアを用いたボンディング) 方式のインナーリードボンディングによって製造される半導体装置に関するものである。

【0002】

【従来の技術】図5は、TAB方式でインナーリードボンディングされた後の半導体装置のリード配置構成を示す平面図である。

【0003】図において、1は半導体チップ、2は半導体チップ1上の外部電極上に形成された突起電極である。この突起電極2はバンブとも呼ばれ、例えばAuでできている。3はテープキャリア4上に写真製版法によって形成され、テープキャリア4の基材に対して接着剤7 (図8参照) を介して接着されたCu箔製の配線パターン。3aは配線パターン3の一部分であって突起電極2と接合されたインナーリード、3bは配線パターン3の一部分であって後でテープキャリア4より切り離されてプリント基板等と接続されるアウターリード、3cは配線パターン3の一部分であってテストのときに用いられるテストパッドである。

【0004】4は複数の半導体チップ1を搭載して搬送するためのテープキャリアであって、このテープキャリア4は、ポリイミドなどの基材上に配線パターンを形成

したものである。4aはテープキャリア4を搬送するために形成されたスプロケットホールである。5はテープキャリア4を打ち抜くことによって形成され、その内側に半導体チップ1が配置されるデバイスホール、6はデバイスホール5とアウターリードホール8との間に存在しテープキャリア4の基材から構成されているサポートテープ、8はデバイスホール5の4辺それぞれの外側でサポートテープ6を挟んでテープキャリア4の基材を打ち抜くことによって形成されたアウターリードホールである。

【0005】配線パターン3のインナーリード3aはデバイスホール5内に突出している。

【0006】アウターリード3bはアウターリードホール8の箇所に位置している。アウターリード3bは、インナーリード3aを半導体チップ1の突起電極2に接合し、封止樹脂9によって封止した後 (図9参照)、アウターリードホール8の箇所で切断されるものである。

【0007】次に、上記のような半導体装置の製造過程について説明する。

【0008】通常のウエハプロセスを終えた半導体ウエハにおける個々の半導体チップ1上のA1パッドと呼ばれる外部電極上に写真製版法および電気メッキ法等を用いて突起電極 (バンブ) 2を形成する。突起電極2が形成された半導体ウエハは、個々の半導体チップ1に切断される。

【0009】インナーリードボンディング装置に対して、半導体チップ1とテープキャリア4とをセッティングし、各突起電極2と対応するインナーリード3aとを位置合わせする。加熱されたボンディングツールによってインナーリード3aと突起電極2とを全ピン一括方式で押圧し、加熱圧着によって突起電極2とインナーリード3aとを接合 (ボンディング) する。

【0010】次いで、ボンディングされた半導体チップ1を外部から保護するために、サポートテープ6の一部分を含めて半導体チップ1を封止樹脂9により被覆固化する。封止された半導体チップ1は、テープキャリア4上のテストパッド3cを用いて電気的なテストが行われる。テストに合格した半導体チップ1は、そのアウターリード3bがアウターリードホール8の箇所で切断されて、独立した半導体装置となる。そして、プリント基板等にそのアウターリード3bを介してマウントされる。

【0011】

【発明が解決しようとする課題】従来の半導体装置においては、インナーリードボンディングの過程で全ピン一括方式での加熱圧着により突起電極2とインナーリード3aとが接合されるようになっている。突起電極2とインナーリード3aとのピン数が多い場合には問題はないのであるが、全ピン数が例えば10個程度であるなど、かなり少ない場合には、次のような問題が生じるおそれがあった。

10

20

30

40

50

【0012】ボンディング装置においては、全ピン数に応じてボンディング時の押圧荷重を調整できるようになっているのが普通である。しかし、その押圧荷重の調整範囲にも自ずと限度がある。設定可能な最低の押圧荷重に対して、全ピン数が不足する場合がある。このような状況でボンディングされると、過大圧力下でのボンディングとなるため、半導体チップ1にダメージを与えるおそれがあった。

【0013】すなわち、図6の左側半分(A)はピン数にマッチした通常の条件下で行ったボンディングの場合の突起電極2とインナーリード3aとの高さの和が $h_1$ で正常であることを示し、図6の右側半分(B)は突起電極2とインナーリード3aとの高さの和 $h_2$ が $h_1$ よりも小さくなっていることを示しており、これは、ピン数に対して過大な圧力条件下でボンディングを行った結果生じたことであり、このような場合には半導体チップ1に対してダメージを与えていることになる。

【0014】具体的には、外部電極下地層のクラックや半導体チップ1上の保護膜のクラックなどを生じる。

【0015】また、突起電極2とインナーリード3aとの高さの和 $h_2$ が正規の $h_1$ よりも小さくなる結果、製造の工程間での搬送中や樹脂封止中においてインナーリード3aのネック部で断線が発生する可能性があり、歩留まりの低下につながっていた。

【0016】さらに、図5のようにインナーリード3aが半導体チップ1の対向する2辺のみにしか存在しない場合とか、あるいは、図7のように4辺に存在していても各辺の中央付近の3分の1程度の範囲内に集中偏在している場合とかには、図8に示すように、1チップ内においても、また、ロット内においても、インナーリード3aの垂れ量 $h_3$ にバラツキが生じやすく、そうなる。図9に示すように、封止工程において半導体チップ1の裏面が封止樹脂9から露出してしまおうといった問題があった。

【0017】この発明は、上記のような問題点を解消するために創案されたものであって、インナーリードおよび突起電極(パンプ)のピン数が少ない場合に、従来と同様のボンディング装置を用いてもインナーリードおよび突起電極に過大圧力をかけることがなく、半導体チップに対するダメージが少なく、インナーリードの垂れ量のバラツキを1チップ内でもロット内でも小さくし、かつ、封止工程でのチップの露出が生じさせない、生産性を向上できる半導体装置を得ることを目的とする。

【0018】

【課題を解決するための手段】この発明に係る第1の半導体装置は、半導体チップの突起電極とテープキャリア上のインナーリードとをボンディングし、アウターリードを突出させる状態で少なくとも半導体チップを封止樹脂で被覆してある半導体装置であって、前記半導体チップ上にこのチップ内の回路とは電気的接続状態をもた

ないダミー突起電極を形成する一方、前記テープキャリア上に前記インナーリードとは電気的接続状態をもたないダミーインナーリードを前記ダミー突起電極に対応させて形成し、このダミー突起電極とダミーインナーリードとを、通常の突起電極とインナーリードとのボンディングと同時にボンディングしてあることを特徴とするものである。

【0019】また、この発明に係る第2の半導体装置は、上記第1の半導体装置において、通常の突起電極およびインナーリードが半導体チップの対向2辺のみに存在し、残りの対向2辺にダミー突起電極とダミーインナーリードとを配置したものである。

【0020】また、この発明に係る第3の半導体装置は、上記第1または第2の半導体装置において、ダミー突起電極およびダミーインナーリードを半導体チップの角隅部に配置したものである。

【0021】さらに、この発明に係る第4の半導体装置は、上記第3の半導体装置において、ダミー突起電極およびダミーインナーリードを半導体チップの角端から1辺長さの6分の1の長さ範囲に配置したものである。

【0022】

【作用】第1の半導体装置によれば、ダミー突起電極とダミーインナーリードとを付加することにより、全ピン一括方式の加熱圧着によるボンディングにおける見掛け上のボンディングピン数を増やすことができる。したがって、1つのボンディングピン箇所での押圧荷重が減少し、過大圧力を避けることができる。

【0023】また、第2の半導体装置によれば、電気的接合は別として機械的接合という意味でのボンディング箇所を半導体チップの4辺に配置しているので、ダミーのものを含めてインナーリードの垂れ量のバラツキを是正できる。

【0024】また、第3の半導体装置によれば、通常の突起電極およびインナーリードが半導体チップの中央付近に集中偏在していても、角隅部のダミー突起電極およびダミーインナーリードによってその偏在状態を解消でき、上記同様にインナーリードの垂れ量のバラツキを是正できる。

【0025】さらに、第4の半導体装置によれば、半導体チップの角端から1辺長さの6分の1の長さ範囲にダミー突起電極およびダミーインナーリードを配置したので、垂れ量のバラツキを少なくするとともに、垂れ量そのものを小さくでき、封止樹脂による被覆厚さの均一化を図れる。

【0026】

【実施例】以下、この発明の実施例を図面に基づいて詳細に説明する。

【0027】実施例1. 図1は、この発明の実施例1に係り、TAB方式でインナーリードボンディングされた後の半導体装置のリード配置構成を示す平面図であ

10

20

30

40

50

る。

【0028】図において、1は半導体チップ、2は突起電極（パンプ）、3は配線パターン、3aはインナーリード、3bはアウターリード、3cはテストパッド、4はテープキャリア、4aはスプロケットホール、5はデバイスホール、6はサポートテープ、8はアウターリードホールであり、これらの構成については図5で説明した従来例と同様であるので、ここでは符号名称を記載するにとどめ、説明を省略する。

【0029】この実施例において従来例と異なっている構成は次のとおりである。

【0030】半導体チップ1の角隅部において、この半導体チップ1内の回路とは電気的接続状態をもたないダミーの外部電極を形成し、その上にダミー突起電極10を形成してある。一方、テープキャリア4上には、インナーリード3aとは電気的接続状態をもたないダミー配線パターン11を形成し、その内端部分をダミー突起電極10に対応したダミーインナーリード11aとしてある。

【0031】そして、通常の突起電極2とインナーリード3aとのボンディングと同時に、ダミー突起電極10とダミーインナーリード11aとをボンディングしてある。

【0032】なお、この実施例においては、通常の突起電極2およびインナーリード3aは半導体チップ1の対向2辺のみに存在しており、残りの対向2辺の角隅部に前記のダミー突起電極10とダミーインナーリード11aとが、1角隅部当たり2個ずつ配置されている。結局、半導体チップ1を4辺からインナーリード3aとダミーインナーリード11aとで支持することになる。

【0033】次に、上記のような半導体装置の製造過程について説明する。

【0034】通常のウエハプロセスにおいて、半導体チップ1上の外部電極に突起電極2を形成するとともに、その外部電極とは電気的接続状態をもたないダミーの外部電極を形成して、そのダミーの外部電極上にダミー突起電極10を突起電極2と同時に形成する。突起電極2およびダミー突起電極10が形成された半導体ウエハは、個々の半導体チップ1に切断される。

【0035】一方、テープキャリア4において、その基材上に接着剤7（図2参照）を介して配線パターン3を形成すると同時に、ダミー配線パターン11をも同様に形成しておく。

【0036】インナーリードボンディング装置に対して、上記の半導体チップ1とテープキャリア4とをセッティングし、各突起電極2で対応するインナーリード3aとを位置合わせするとともに、各ダミー突起電極10と対応するダミーインナーリード11aとを位置合わせする。

【0037】次いで、加熱されたボンディングツールに

よって、突起電極2とインナーリード3aとを、および、ダミー突起電極10とダミーインナーリード11aとを全ピン一括方式で押圧し、加熱圧着によって対応するものどうしをボンディングする。突起電極2とインナーリード3aとの接合は電気的かつ機械的な接合となり、ダミー突起電極10とダミーインナーリード11aとの接合は機械的のみの接合となる。

【0038】上記の全ピン一括方式でのボンディングにおいては、通常の突起電極2およびインナーリード3aのピン数は少なく、ボンディング装置において設定可能な最低の押圧荷重に対して不足するが、ダミー突起電極10およびダミーインナーリード11aの追加によって見掛け上の全ピン数を増加しているため、その最低の押圧荷重に対して適正な数のピン数となる。

【0039】したがって、半導体チップ1に対して過大な圧力をかけない状態でボンディングすることができ、半導体チップ1に与えるダメージを著しく軽減することができる。すなわち、半導体チップ1における外部電極下地層のクラックや保護膜のクラックを無くすることができる。

【0040】また、ボンディング後の突起電極2とインナーリード3aとの高さの和が、図6の左側半分（A）に示したのと同様に適正なものとなり、突起電極2やインナーリード3aの素材自体が潰れ過ぎるといったことがなくなり、製造の工程間での搬送中や樹脂封止中においてインナーリード3aのネック部での断線無くすることができる。

【0041】そして、図2に示すように、インナーリード3aおよびダミーインナーリード11aの垂れ量h<sub>1</sub>についてのバラツキが、1チップ内においてもロット内においても少なくなるとともに、垂れ量h<sub>1</sub>、自体が小さくなる。

【0042】次いで、ボンディングされた半導体チップ1を外から保護するために、図3に示すように、サポートテープ6の一部分を含めて、半導体チップ1をトランスファモールドなどの封止工程において封止樹脂9により被覆固化する。

【0043】試作によれば、半導体チップ1の表面側における封止樹脂9の厚さh<sub>1</sub>と、裏面側における封止樹脂9の厚さh<sub>2</sub>の差|h<sub>1</sub>-h<sub>2</sub>|が各厚さh<sub>1</sub>、h<sub>2</sub>の10%以内に収まることが判った。つまり、表面側と裏面側の被覆厚さがほぼ均一となる。

【0044】そして、垂れ量h<sub>1</sub>が均一化されているので、半導体チップ1は傾きなく、テープキャリア4とはほぼ平行な姿勢となり、半導体チップ1の裏面が封止樹脂9から露出するということもなくなった。

【0045】封止された半導体チップ1は、テープキャリア4上のテストパッド3cを用いて電気的なテストが行われる。テストに合格した半導体チップ1は、そのアウターリード3bがアウターリードホール8の箇所て切

断されて、独立した半導体装置となる。そして、プリント基板等にそのアウターリード3bを介してマウントされる。ダミーインナーリード11aは電気的には全く無関係である。

【0046】以上の相乗効果により、ヒートサイクル試験等の信頼性試験を行った結果、従来例に比べて寿命を約2倍に延長できることが判った。

【0047】**実施例2.** 図4は、この発明に係る半導体装置の実施例2. のリード配置を示す平面図である。

【0048】これは、従来例の図7と同様に、通常の突起電極2およびインナーリード3aが半導体チップ1の4辺に存在するが、各辺の中央付近の3分の1程度の範囲内に集中偏在している場合の実施例である。

【0049】この場合、図4に示すとおり、各辺において半導体チップ1の角隅部にダミー突起電極10を形成する一方、テープキャリア4において各ダミー突起電極10に対応してダミーインナーリード11aを形成し、突起電極2とインナーリード3aとのボンディングと同時にダミー突起電極10とダミーインナーリード11aとのボンディングを行ったものである。

【0050】なお、ダミー突起電極10の位置は、半導体チップ1の角端から1辺の長さaの6分の1の長さ(a/6)の範囲とするのが好ましい。

【0051】なお、実施例1. の場合においても、ダミー突起電極10の位置を角端から6分の1の長さ範囲にするのが好ましい。

【0052】

【発明の効果】この発明に係る第1の半導体装置によれば、通常の突起電極とインナーリードとのボンディングピン数が設定可能な最低の押圧荷重に対して少ない場合であっても、ダミー突起電極とダミーインナーリードとを付加することにより、電気的接合は別として機械的接合という意味でのボンディングピン数を増やすことができ、過大圧力を避けることができるため、半導体チップに与えるダメージを大幅に緩和できるとともに、インナーリードの断線の可能性を充分に低減して歩留まりを向上することができる。

【0053】それでいて、このダミー突起電極やダミーインナーリードは半導体チップ内の回路や通常のインナーリードとは電気的接続状態をもっていないので、回路動作上、何ら支障を与えないですむ。

【0054】また、第2の半導体装置によれば、上記の機械的ボンディング箇所を半導体チップの4辺とするため、1チップ内においてもロット内においても、ダミーのものを含めてインナーリードの垂れ量のバラツキを是正でき、封止樹脂からの半導体チップの露出を確実に防

止することができる。

【0055】また、第3の半導体装置によれば、通常の突起電極およびインナーリードが半導体チップの中央付近に集中偏在しているものであっても、ダミー突起電極およびダミーインナーリードを半導体チップの角隅部に配置することで、その偏在状態を解消でき、上記同様に垂れ量のバラツキを是正して、封止樹脂からの半導体チップの露出を確実に防止することができる。

【0056】さらに、第4の半導体装置によれば、ダミー突起電極およびダミーインナーリードの配置位置を、半導体チップの角端から1辺長さの6分の1の長さ範囲に限定したので、垂れ量そのものを小さくすることができ、封止樹脂による被覆厚さを均一化することができる。

【図面の簡単な説明】

【図1】この発明に係る実施例1. の半導体装置のリード配置構成を示す平面図である。

【図2】実施例1. においてボンディング後の半導体チップの垂れ量のバラツキが少ないことを示す説明図である。

【図3】実施例1. における封止状態を示す断面図である。

【図4】この発明に係る実施例2. のリード配置構成を示す平面図である。

【図5】従来例の半導体装置のリード配置構成を示す平面図である。

【図6】従来例におけるボンディング後の突起電極とインナーリードとの高さの和の変化を示す説明図である。

【図7】別の従来例の半導体装置のリード配置構成を示す平面図である。

【図8】従来例においてボンディング後の半導体チップの垂れ量のバラツキを示す説明図である。

【図9】従来例において封止状態での欠陥を示す断面図である。

【符号の説明】

- 1 半導体チップ
- 2 突起電極
- 3 配線パターン
- 3a インナーリード
- 3b アウターリード
- 4 テープキャリア
- 9 封止樹脂
- 10 ダミー突起電極
- 11 ダミー配線パターン
- 11a ダミーインナーリード



## 【手続補正言】

【提出日】平成3年11月27日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】4は複数の半導体チップ1を接続・搭載して搬送するためのテープキャリアであって、このテープキャリア4は、ポリイミドなどの基材上に配線パターンを形成したものである。4aはテープキャリア4を搬送するために形成されたスプロケットホールである。5はテープキャリア4を打ち抜くことによって形成され、その内側に半導体チップ1が配置されるデバイスホール、6はデバイスホール5とアウターリードホール8との間に存在しテープキャリア4の基材から構成されているサポートテープ、8はデバイスホール5の4辺それぞれの\*

\*外側でサポートテープ6を挟んでテープキャリア4の基材を打ち抜くことによって形成されたアウターリードホールである。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】上記の全ピン一括方式でのボンディングにおいては、通常の突起電極2およびインナーリード3aのピン数は少なく、ボンディング装置において設定可能な最低の押圧荷重に対して不足するが、ダミー突起電極10およびダミーインナーリード11aの追加によって見掛け上の全ピン数を増加しているので、装置の最低押圧荷重に対して適正な数のピン数となる。

---

フロントページの続き

(72)発明者 立川 透

伊丹市瑞原4丁目1番地 三菱電機株式会社  
北伊丹製作所内